

特開2001-177045

(P2001-177045A)

(43) 公開日 平成13年6月29日 (2001. 6. 29)

(51) Int. C1. 7

H01L 25/00

H05K 3/46

識別記号

F I

H01L 25/00

H05K 3/46

マーク (参考)

B 5E346

Q

審査請求 未請求 請求項の数 7

OL

(全9頁)

(21) 出願番号

特願平11-357747

(22) 出願日

平成11年12月16日 (1999. 12. 16)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 東 光敏

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72) 発明者 村山 啓

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74) 代理人 100077621

弁理士 綿貫 隆夫 (外1名)

最終頁に続く

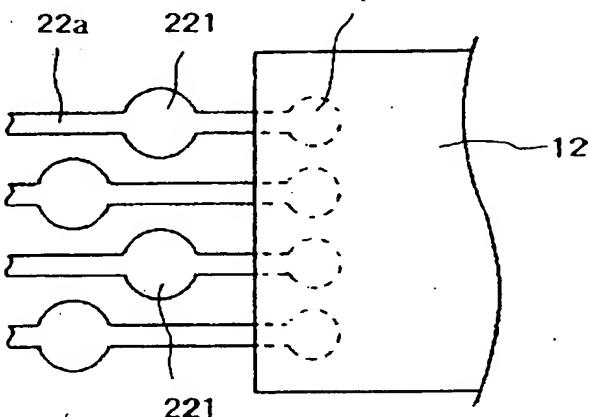
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体素子及び回路部品を搭載した複合機能を備えた半導体装置として、コンパクトでかつ信頼性の高い製品として提供する。

【解決手段】 コア基板20上に電気的絶縁層32a、32bを介して配線パターン22b、22cが形成されるとともに、層間で配線パターン22a、22b、22cが電気的に接続された半導体装置において、前記配線パターン22a、22b、22cが形成された内層に、前記電気的絶縁層32a、32bの厚さよりも薄い半導体素子12がフリップチップ接続により前記配線パターン22a、22b、22cと電気的に接続されて搭載されている。

23



【特許請求の範囲】

【請求項1】 コア基板上に電気的絶縁層を介して配線パターンが形成されるとともに、層間で配線パターンが電気的に接続された半導体装置において、

前記配線パターンが形成された内層に、前記電気的絶縁層の厚さよりも薄い半導体素子がフリップチップ接続により前記配線パターンと電気的に接続されて搭載されていることを特徴とする半導体装置。

【請求項2】 配線パターンが形成された内層に、電気的絶縁層の厚さよりも薄いコンデンサ、抵抗等の回路部品が、前記配線パターンと電気的に接続されて搭載されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 コア基板が、両面に配線パターンが形成され、該配線パターンがコア基板を貫通して設けた導通部を介して電気的に接続されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、

フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、電気的絶縁性を有するフィルムを圧着して前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成し、

該電気的絶縁層に、前記配線パターンが底面に露出するビア穴を形成した後、該ビア穴の内面及び電気的絶縁層の表面に電解めっき用のめっき給電層を形成し、該めっき給電層上に電解めっきを施してビア穴の内面にビアと電気的絶縁層の表面に導体層とを形成した後、

該導体層をエッチングして前記ビアを介して下層の配線パターンと電気的に接続する配線パターンを形成し、次いで、該配線パターンにフリップチップ接続により電気的に接続して半導体素子を搭載することを特徴とする半導体装置の製造方法。

【請求項5】 コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、

フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、電気的絶縁性を有するフィルムを圧着して、前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成し、

該電気的絶縁層に、前記配線パターンが底面に露出するビア穴を形成した後、

該ビア穴の内面及び電気的絶縁層の表面に電解めっき用のめっき給電層を形成し、

該めっき給電層上に配線パターンを形成する部位を露出させたレジストパターンを形成し、該レジストパターンをマスクとして電解めっきを施した後、

前記レジストパターンを除去して、該レジストパターン 50

の除去により露出しためっき給電層を除去し、前記ビア穴に形成されたビアを介して下層の配線パターンと電気的に接続する配線パターンを形成し、次いで、該配線パターンにフリップチップ接続により電気的に接続して半導体素子を搭載することを特徴とする半導体装置の製造方法。

【請求項6】 コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、

フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、片面に導体層が形成された電気的絶縁性を有するフィルムの他面を圧着して、前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成した後、前記導体層をエッチングして電気的絶縁層の表面に配線パターンを形成し、

該電気的絶縁層に、下層の配線パターンが底面に露出するビア穴を形成して、該ビア穴に下層の配線パターンと

該電気的絶縁層に形成された配線パターンとを電気的に接続する接続部を形成し、次いで、該電気的絶縁層の表面に形成した配線パターンに、フリップチップ接続により電気的に接続して半導体素子を搭載することを特徴とする半導体装置の製造方法。

【請求項7】 コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、

フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、片面に所定の配線パターンが形成され、該配線パターンにフリップチップ接続により電気的に接続して半導体素子が搭載された電気的絶縁性を有するフィルムの他面を圧着して、前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成し、

該電気的絶縁層に、下層の配線パターンが底面に露出するビア穴を形成した後、

該ビア穴に下層の配線パターンと該電気的絶縁層に形成された配線パターンとを電気的に接続する接続部を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一つのパッケージに複数の半導体素子を搭載した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 従来の半導体装置では、コンパクトでかつ多機能を備えた製品として、一つの基板に複数の半導体素子を搭載したり、半導体素子とともにコンデンサや

抵抗といった回路部品を搭載したりした製品が提供されている。図6は1枚の基板10に半導体素子12を複数個搭載した半導体装置の構成例を示す。図6(a)は基板10の片面に半導体素子12を積み重ねて搭載した例、図6(b)は基板10の一方の平面内に半導体素子12を複数個搭載した例、図6(c)は基板10の両面に半導体素子12を搭載すると共に基板の平面内に半導体素子12を複数個搭載した例である。

【0003】基板10の表面には配線パターンが形成されており、図示例ではいずれも半導体素子12と配線パターンとをワイヤボンディングによって電気的に接続している。もちろん、半導体素子12と配線パターンとの電気的接続はワイヤボンディング接続に限らず、フリップチップ接続、TAB接続等が利用できる。

【0004】

【発明が解決しようとする課題】上記の半導体装置において基板10の平面内に複数個の半導体素子12を搭載する場合は、基板の大きさによって半導体素子12の搭載数が制約されるし、半導体素子12を積み重ねて搭載する場合も半導体素子12を何枚も積み重ねることは困難である。このように、一つのパッケージに複数の半導体素子12や回路基板を搭載する場合に、基板10に単に半導体素子12を搭載する方法では半導体素子12の搭載数が制限され、十分な高集積化、多機能化が困難なという問題がある。

【0005】そこで、さらに半導体装置の高集積化及び多機能化を図る方法として、基板に形成する配線パターンを電気的絶縁層を介して積層して形成し、基板内に半導体素子を内蔵するように組み込む方法が考えられている。図7は、樹脂基体14に半導体素子12を埋設し、電気的絶縁層16を介して配線パターン18を積層して形成し、配線パターン18と半導体素子12とを電気的に接続して半導体装置としたものである。近年は、きわめて薄い半導体ウエハが製造されるようになっており、50μm程度の厚さの半導体素子が生産されている。配線パターンを積層する電気的絶縁層は100μm程度の厚さを有するから、薄型の半導体素子を使用することによって、パッケージ内に半導体素子及び回路部品を埋設して組み込むことが可能である。

【0006】本発明は、このように半導体素子及び回路部品がきわめて薄くかつ小型に形成され、パッケージの内部に半導体素子及び回路部品を組み込んで半導体装置を製造することが可能になってきたことから、これらの半導体素子等を組み込んだ半導体装置として効果的に高集積化及び多機能化が図られた半導体装置として提供することができ、また、半導体素子等を組み込んだ半導体装置を確実に製造することができる半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するた

め、本発明は次の構成を備える。すなわち、コア基板上に電気的絶縁層を介して配線パターンが形成されるとともに、層間で配線パターンが電気的に接続された半導体装置において、前記配線パターンが形成された内層に、前記電気的絶縁層の厚さよりも薄い半導体素子がフリップチップ接続により前記配線パターンと電気的に接続されて搭載されていることを特徴とする。また、前記配線パターンが形成された内層に、電気的絶縁層の厚さよりも薄いコンデンサ、抵抗等の回路部品が、前記配線パターンと電気的に接続されて搭載されていることを特徴とする。また、前記コア基板が、両面に配線パターンが形成され、該配線パターンがコア基板を貫通して設けた導通部を介して電気的に接続されていることを特徴とする。

【0008】また、コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、電気的絶縁性を有するフィルムを圧着して前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成し、該電気的絶縁層に、前記配線パターンが底面に露出するビア穴を形成した後、該ビア穴の内面及び電気的絶縁層の表面に電解めっき用のめっき給電層を形成し、該めっき給電層上に電解めっきを施してビア穴の内面にビアと電気的絶縁層の表面に導体層とを形成した後、該導体層をエッチングして前記ビアを介して下層の配線パターンと電気的に接続する配線パターンを形成し、次いで、該配線パターンにフリップチップ接続により電気的に接続して半導体素子を搭載することを特徴とする。また、コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、電気的絶縁性を有するフィルムを圧着して、前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成し、該電気的絶縁層に、前記配線パターンが底面に露出するビア穴を形成した後、該ビア穴の内面及び電気的絶縁層の表面に電解めっき用のめっき給電層を形成し、該めっき給電層上に配線パターンを形成する部位を露出させたレジストパターンを形成し、該レジストパターンをマスクとして電解めっきを施した後、前記レジストパターンを除去して、該レジストパターンの除去により露出しためっき給電層を除去し、前記ビア穴に形成されたビアを介して下層の配線パターンと電気的に接続する配線パターンを形成し、次いで、該配線パターンにフリップチップ接続により電気的に接続して半導体素子を搭載することを特徴とする。

【0009】また、コア基板上に電気的絶縁層を介して

配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、片面に導体層が形成された電気的絶縁性を有するフィルムの他面を圧着して、前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成した後、前記導体層をエッティングして電気的絶縁層の表面に配線パターンを形成し、該電気的絶縁層に、下層の配線パターンが底面に露出するビア穴を形成して、該ビア穴に下層の配線パターンと該電気的絶縁層に形成された配線パターンとを電気的に接続する接続部を形成し、次いで、該電気的絶縁層の表面に形成した配線パターンに、フリップチップ接続により電気的に接続して半導体素子を搭載することを特徴とする。また、コア基板上に電気的絶縁層を介して配線パターンが形成され、前記配線パターンが形成された内層に、配線パターンと電気的に接続して半導体素子が搭載された半導体装置の製造方法において、フリップチップ接続により配線パターンに電気的に接続して半導体素子が搭載された面に、片面に所定の配線パターンが形成され、該配線パターンにフリップチップ接続により電気的に接続して半導体素子が搭載された電気的絶縁性を有するフィルムの他面を圧着して、前記半導体素子及び配線パターンを被覆する電気的絶縁層を形成し、該電気的絶縁層に、下層の配線パターンが底面に露出するビア穴を形成した後、該ビア穴に下層の配線パターンと該電気的絶縁層に形成された配線パターンとを電気的に接続する接続部を形成することを特徴とする。

【0010】

【発明の実施の形態】以下、本発明の好適な実施形態について添付図面に基づき詳細に説明する。図1、2は本発明に係る半導体装置の製造方法を示す説明図である。図1(a)は、両面に配線パターンを形成するコア基板20を示す。コア基板20は基板の両面に配線パターン22aが形成され、樹脂基板20aを貫通して設けた貫通孔24の内壁面に形成した導通部26を介して、両面の配線パターン22aが電気的に接続されたものである。

【0011】コア基板20を形成する方法としては、たとえば、両面に銅箔が被着された樹脂基板20aをまず化学的にエッティングして銅箔を除去した後、樹脂基板20aに貫通孔24を形成し、次に、無電解銅めっき及び電解銅めっきを施して貫通孔24の内面に導通部26を形成するとともに、樹脂基板20aの表面に導体層を形成し、この導体層を化学的にエッティングすることにより配線パターン22aを形成することによって得られる。樹脂基板20aに被着した銅箔をエッティングして除去するのは、無電解銅めっき及び電解銅めっきによって形成する導体層と樹脂基板20aとの密着性を良好にすることができる、めっきにより導体層の厚さを薄く形成するこ

とによって配線パターン22aを高密度に形成できることによる。28は貫通孔24に充填した樹脂材である。

【0012】図1(b)は、次に、コア基板20の一方の面に半導体素子12を搭載した状態を示す。半導体素子12は、本実施形態ではフリップチップ法によって搭載する。図1(a)で、23は半導体素子12をフリップチップ接続するためのパッド部である。半導体素子12は厚さが50μm程度であり、フリップチップ接続のためのバンプの高さは20μm程度である。半導体素子12をフリップチップ接続によって搭載する方法は、半導体素子12を搭載した状態で半導体素子12を試験することができるという利点がある。多数個の半導体素子12を搭載する半導体装置の場合は、半導体素子12の機能を試験できることは、製品の信頼性を向上させ、不良率を下げる上できわめて有効である。半導体素子12を試験するため、配線パターン22aを形成する際に、図2に示すような試験用のパッド221を形成しておくのがよい。試験用のパッド221は試験装置の端子を接触させるためのものである。

【0013】試験によって不良となった半導体素子12は、再加熱してバンプを溶融することにより基板から取り除くことができ、パッド部23をクリーニングした後、新たに半導体素子12を搭載する。フリップチップ接続により半導体素子12を搭載する場合、半導体素子12の下面にアンダーフィル材13を充填してコア基板20に半導体素子12を確実に接合させようすることも可能である。図1(b)では、コア基板20の一方の面に半導体素子12を一つ搭載した状態を示すが、コア基板20の他方の面に半導体素子12を搭載することも可能であり、片面または両面に複数個の半導体素子12を搭載することも可能である。

【0014】図1(c)は、半導体素子12を搭載した後、コア基板20の両面に電気的絶縁層を形成するため、電気的絶縁性を有するプリプレグ30、30を各々コア基板20の両面に貼着する工程を示す。プリプレグ30、30は、ポリフェニレンエーテルあるいはポリイミド等の熱硬化性樹脂を用いて接着性を有するフィルム状に形成したものであり、熱圧着によりコア基板20に接着され配線パターンを電気的に絶縁する電気的絶縁層32aとなる。実施形態では、電気的絶縁層32aの厚さが100μm程度になるプリプレグ30、30を使用した。これによって、半導体素子12及び第1層目の配線パターン22aが電気的絶縁層32aによって被覆される。

【0015】図1(d)は、コア基板20の両面にプリプレグ30を貼着した後、ビア穴34を形成した状態を示す。ビア穴34は電気的絶縁層32aにレーザ光を照射し電気的絶縁層32aの所定位置に、下層の配線パターン22aを底面に露出させて形成する。次に、無電解銅めっき及び電解銅めっきを施し、ビア穴34の底面及び

内壁面を導体層により被覆し、電気的絶縁層32aの表面に導体層を形成する。電気的絶縁層32bの表面の導体層をエッチングすることにより、第2層目の導体パターン22bを形成することができる。ピア穴34の内面に被着した導体層は、第1層目の配線パターン22aと第2層目の配線パターン22bを電気的に接続するピア36となる(図1(e))。なお、ピア穴34の内部をめっきによって充填してもよい。

【0016】図3(a)は、第2層目の配線パターン22bを形成した基板にフリップチップ接続により半導体素子12を搭載した状態を示す。半導体素子12の搭載方法は第1層目に半導体素子12を搭載した方法と同様である。半導体素子12を新たにフリップチップ接続した状態で半導体素子12の試験、その他の導通試験等を行う。この場合も、図2に示したと同様に配線パターン22bに試験用のパッドを形成しておく。図3(a)では、半導体素子12の他にコンデンサ、抵抗等の回路部品40を搭載している。このように、コンデンサ、抵抗等の回路部品40をチップ部品として搭載する方法は、大容量のコンデンサ等であっても容易に搭載できる点で有効である。

【0017】図3(b)は、図3(a)の状態からさらに基板の両面にプリブレグ30を熱圧着して第2層目の電気的絶縁層32bを形成し、電気的絶縁層32bの表面に第2層目の配線パターン22bと電気的に接続する第3層目の配線パターン22cを形成した状態である。ピア36を介して第2層目の配線パターン22bと第3層目の配線パターン22cとが電気的に接続される構成は、第1層目の配線パターン22aと第2層目の配線パターン22bとがピア36を介して電気的に接続される構成と同様である。配線パターン22cを形成した後、基板の表面をソルダーレジスト等の保護膜42によって被覆する。保護膜42は配線パターン22cのうち、半導体素子12とフリップチップ接続される接続部22d、外部接続端子を接合するランド部38を除いた基板の表面を被覆する。

【0018】図3(c)は、基板の一方の面に半導体素子12を搭載し、基板の他方の面に外部接続端子44を接合して最終的に半導体装置を作成した状態を示す。第3層目についても半導体素子12はフリップチップ接続により搭載する。外部接続端子44はランド部38にはんだボールを接合して取り付ける。本実施形態の半導体装置は、電気的絶縁層32a、32bを介して配線パターン22a、22b、22cが積層して形成され、基板内に設置された半導体素子12及び回路部品40と配線パターン22a、22b、22cが電気的に接続されて構成されたものとなる。

【0019】半導体装置に内蔵される半導体素子12の厚さは50μm程度であり、電気的絶縁層32a、32bの厚さが100μm程度であるから、コア基板20の

10 両面に電気的絶縁層32a、32bを複数層に積層して形成した場合でも半導体装置全体としての厚さを1mm程度以下にすることは容易に可能である。このように、本実施形態の半導体装置によれば、複数の半導体素子12や回路部品40を内蔵した製品として、きわめてコンパクトな形態で提供することが可能となる。また、基板に形成する配線パターン22a、22b、22cは半導体素子12及び回路部品40の搭載位置に合わせて適宜パターンに形成することができるから、半導体素子12や回路部品40の配置を自由に設定して製造することができる。

20 また、基板内に半導体素子12及び回路部品40を内蔵して搭載したことにより、部品間を接続する配線パターンの距離を短縮することができ、半導体装置の高速信号特性を改善することが可能となる。

【0020】なお、本発明に係る半導体装置の製造方法は、上述した製造方法に限定されるものではない、たとえば、配線パターン22a、22b、22cを積層して形成する場合、上記実施形態では、電気的絶縁層32a、32bにピア穴34を形成した後、無電解銅めっきを施して電解銅めっき用のめっき給電層を形成したが、無電解銅めっきのかわりにスパッタリング法によってめっき給電層を形成することもできる。また、導体層をエッチングして所定の配線パターンを形成する場合、電解銅めっきによって形成した導体層をエッチングして配線パターンを形成する方法によることもできるし、めっき給電層を形成した後、配線パターンを形成する部位を露出させたレジストパターンを形成して電解銅めっきを施して配線パターンとなる部位をめっきにより厚付けし、レジストパターンを除去した後、配線パターンとなる部位以外のめっき給電層をエッチングして除去する方法(セミアディティブ法)によることもできる。

20 【0021】図4は、本発明に係る半導体装置の製造方法の他の実施形態を示すもので、基板に熱圧着して電気的絶縁層を形成するフィルム50として、プリブレグ30の片面に銅箔31を被着したフィルム材を使用する例を示す。図4(a)は、半導体素子12をフリップチップ接続によって搭載したコア基板20(図1(b)の状態)に、プリブレグ30の片面に銅箔31を被着したフィルム50を接着する工程を示す。図4(b)は、コア基板20にフィルム50を熱圧着して、コア基板20の両面に電気的絶縁層32aを形成し、プリブレグ30の片面に被着する銅箔31をエッチングして第2層目の配線パターン22bを形成した状態である。

40 【0022】図4(c)は、コア基板20の両面に形成された電気的絶縁層32aにレーザ光を照射してピア穴34を形成した状態である。図4(b)に示す工程で、銅箔31をエッチングして配線パターン22bを形成する際には、ピア穴34を形成する部位の銅箔31を除去し、レーザ光の照射によってピア穴34が容易に形成できるようにしておく。ピア穴34の形状に合わせて電気的絶

縁層32aを露出させておくことにより、レーザ光の照射により所定形状のビア穴34を容易に形成することができる。

【0023】図4(d)は、ビア穴34に導電性ペースト35を充填して第1層目の配線パターン22aと第2層目の配線パターン22bとを電気的に接続した状態を示す。ビア穴34に形成する接続部としては導電性ペースト35を充填するかわりに、めっきによりビア穴34の内面に導体層を形成してビアを形成することも可能である。こうして、配線パターン22a、22bを電気的に接続したところで、第2層目の配線パターン22bに電気的に接続して次層の半導体素子12を搭載する。この場合も前述した実施形態と同様にフリップチップ接続により半導体素子12を搭載する。以上のように、片面に銅箔31を被着したプリプレグ30を使用することにより、配線パターンを順次積層して形成することができ、基板内に半導体素子12及び回路部品40を埋設して配置した半導体装置を得ることができる。

【0024】図5は、本発明に係る半導体装置の製造方法のさらに他の実施形態を示す。本実施形態では、図1(b)に示すようにコア基板20に半導体素子12を搭載した後、あらかじめ配線パターン22bが形成されて所要の半導体素子12及び回路部品が搭載されたフィルム60をコア基板20に熱圧着して半導体装置を作成することを特徴とする。フィルム60は、ポリイミド、ポリフェニレンエーテル等の電気的絶縁性と接着性を有するプリプレグ30の片面に基板の第2層目となる配線パターン22bがあらかじめ所定パターンにしたがって形成されたものであり、第2層目に搭載される所要の半導体素子12及び回路部品40がフィルム60に搭載されたものを使用する。フィルム60は、片面に銅箔を被着したプリプレグ30をフィルム材とし、銅箔を所定パターンにしたがってエッチングすることによって得られる。半導体素子12はフリップチップ法によりフィルム60に搭載し、あわせて所要の回路部品40を搭載する。

【0025】図5(b)は、コア基板20にフィルム60を位置合わせて熱圧着した状態である。プリプレグ30がコア基板20に熱圧着されて電気的絶縁層32aが形成され、電気的絶縁層32aに2層目の配線パターン22bと、配線パターン22bに電気的に接続する半導体素子12が支持される。図5(c)は、次に、電気的絶縁層32aにレーザ光を照射してビア穴34を形成した状態を示す。図5(d)は、ビア穴34に導電性ペースト35を充填した状態であり、導電性ペースト35を介して第1層目の配線パターン22aと第2層目の配線パターン22bとが電気的に接続された状態になる。図4(d)に示す構成と図5(d)に示す構成とを比較すると、図5(d)では、第2層目に半導体素子12がすでに搭載されている点が異なる。

【0026】第2層目の電気的絶縁層32bを形成する 50

場合も、上記方法と同様に、プリプレグ30の片面にあらかじめ配線パターンが形成され、所要の半導体素子12及び回路部品40が搭載されたフィルム60をさらに熱圧着することによる。半導体素子12及び配線パターン22bが電気的絶縁層32bによって被覆されるから、上記方法と同様に、新たに形成した電気的絶縁層32bにビア穴34を形成し、ビア穴34に導電性ペースト35を充填することによって半導体素子12及び回路部品40と所要の配線パターン22a、22b、22cとが電気的に接続された半導体装置を得ることができる。

【0027】なお、半導体装置を製造する際に、層間で配線パターンを電気的に接続して電気的絶縁層と配線パターンを順次積層する方法は、上記実施形態で説明した各方法を適宜選択して利用することができる。また、本発明では半導体素子12をフリップチップ接続によって搭載したが、フリップチップ接続方法としては、半導体素子12にはんだバンプを形成して接続する方法、半導体素子12には金スタッドバンプを形成し基板側のパッド部にはんだバンプを形成して接続する方法が利用できる。また、上記各実施形態では、いずれもコア基板20の両面に同数の電気的絶縁層と配線パターンを設けたが、電気的絶縁層及び配線パターンの配置数はとくに限定されるものではない。

【0028】

【発明の効果】本発明に係る半導体装置及びその製造方法によれば、上述したように、基板の内層に半導体素子及び所要の回路部品を組み込んで搭載することにより、複合機能を備えた半導体装置としてきわめてコンパクトに形成することができ、優れた特性を有する半導体装置として提供することができる。また、フリップチップ接続によって半導体素子を搭載することから、製品試験を行いながら製造することができ、不良品の発生を防止して製品の信頼性を高めることができる等の著効を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法を示す説明図である。

【図2】配線パターンに試験用のパッドを形成した状態を示す説明図である。

【図3】本発明に係る半導体装置の製造方法を示す説明図である。

【図4】本発明に係る半導体装置の他の製造方法を示す説明図である。

【図5】本発明に係る半導体装置のさらに他の製造方法を示す説明図である。

【図6】基板に複数の半導体素子を搭載した従来の半導体装置の構成を示す断面図である。

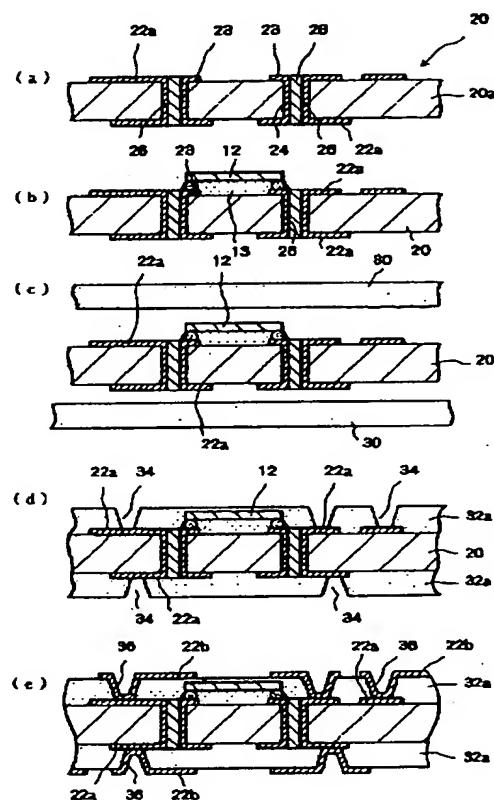
【図7】基板に半導体素子を埋設した従来の半導体装置

の構成を示す断面図である。

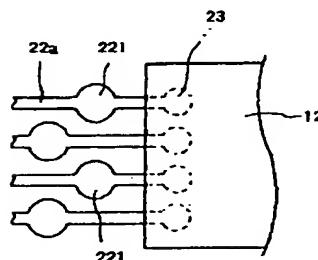
【符号の説明】

- 10 基板
- 12 半導体素子
- 13 アンダーフィル材
- 14 樹脂基体
- 20 コア基板
- 20a 樹脂基板
- 22a、22b、22c、22d 配線パターン
- 24 貫通孔
- 26 導通部

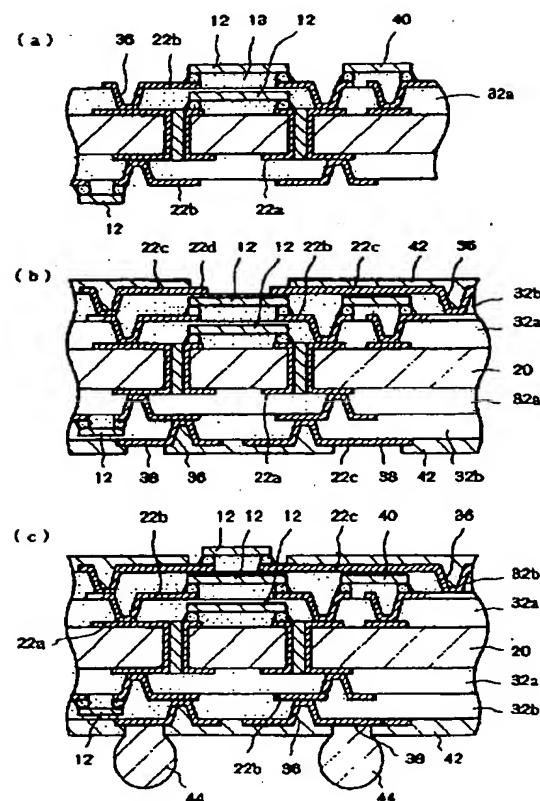
【図1】



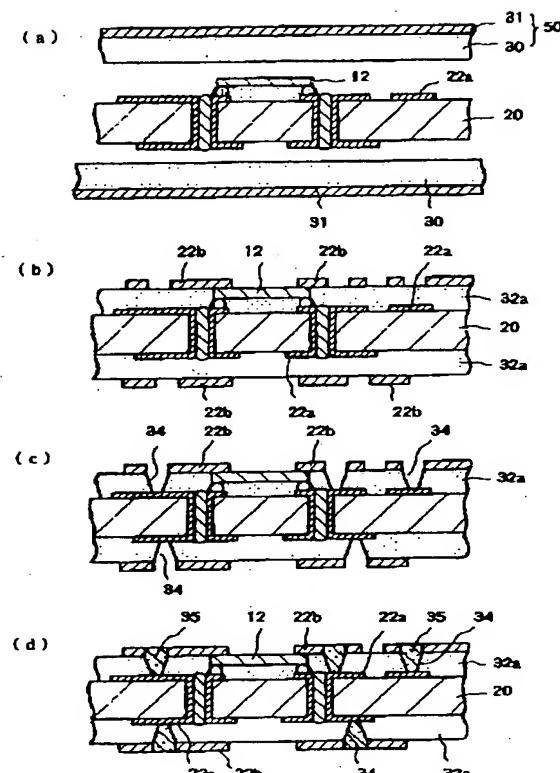
【図2】



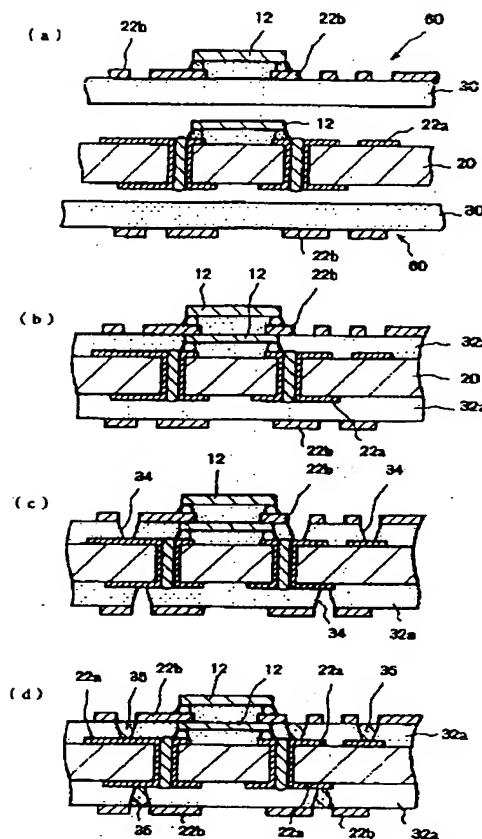
【図3】



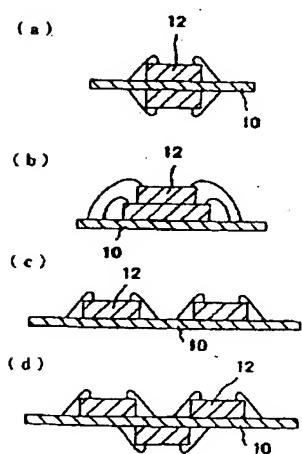
【図4】



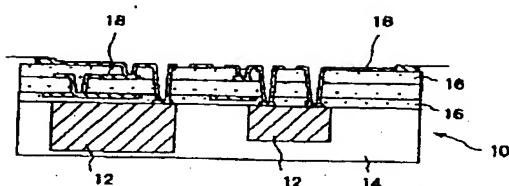
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 坂口 秀明
長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内

(72)発明者 小池 博子
長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内

F ターム(参考) 5E346 AA06 AA12 AA15 AA41 AA43
BB01 BB16 BB20 DD02 DD24
DD32 DD33 DD47 EE33 FF14
FF45 GG15 GG17 GG22 GG40
HH22 HH33

